

Practitioner's Docket No.: 040008-0305451  
Client Reference No.:

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: JOON BUM SHIM, et al Confirmation No:

Application No.: 10/747,946

Group No.:

Filed: December 31, 2003

Examiner:

For: A SUBMICRON SEMICONDUCTOR DEVICE AND A FABRICATING METHOD THEREOF

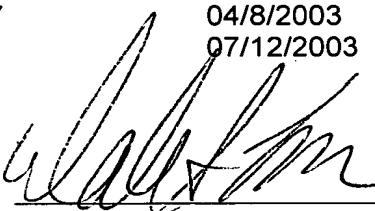
**Commissioner for Patents**  
P.O. Box 1450  
Alexandria, VA 22313-1450

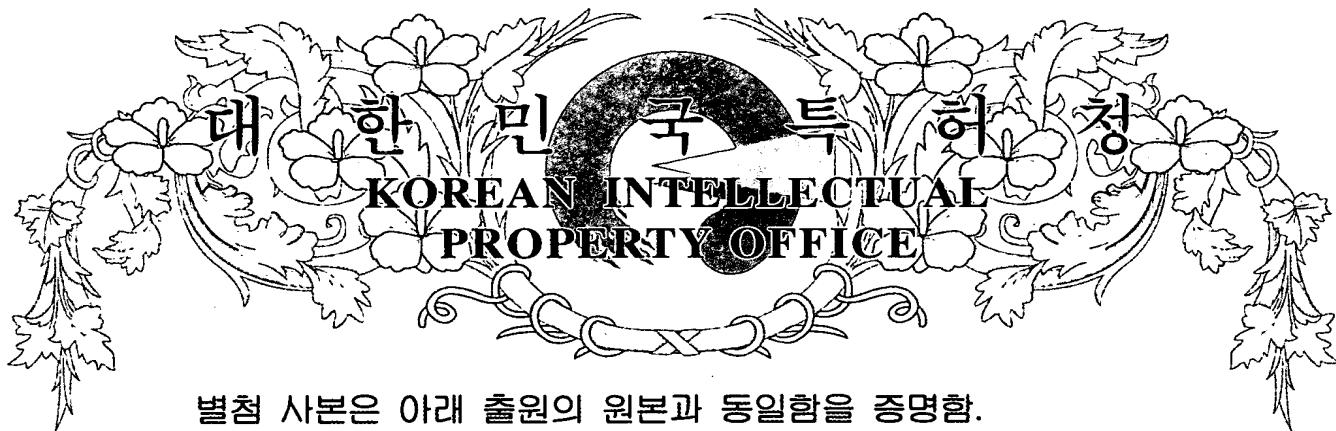
**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2003-0022107	04/8/2003
Republic of Korea	10-2003-0047491	07/12/2003

Date: February 23, 2004  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
Dale S. Lazar  
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0022107  
Application Number

출 원 년 월 일 : 2003년 04월 08일  
Date of Application APR 08, 2003

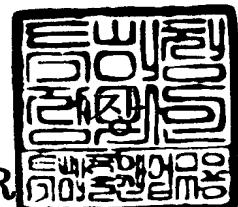
출 원 인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 07 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.04.08		
【국제특허분류】	H01L		
【발명의 명칭】	미세선폭을 갖는 반도체 소자의 제조 방법		
【발명의 영문명칭】	Submicron semiconductor device and method for manufacturing the same		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	서천석		
【대리인코드】	9-2002-000233-5		
【포괄위임등록번호】	2003-014348-4		
【발명자】			
【성명의 국문표기】	이강현		
【성명의 영문표기】	LEE,Kang Hyun		
【주민등록번호】	650918-1009717		
【우편번호】	449-752		
【주소】	경기도 용인시 죽전동 대진2차아파트 103-706		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 서천석 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	12	항	493,000 원
【합계】	522,000 원		

**【요약서】****【요약】**

본 발명은 하드 마스크를 사용한 반도체 소자의 제조 방법에 관한 것으로, 보다 자세하게는 하드 마스크를 사용하여 동일 광원에서 미세한 선폭을 반도체 소자의 제조 방법에 관한 것이다.

본 발명은 기판위에 옥사이드, 폴리, 하드 마스크를 증착하여 패터닝 하는 방법으로 하드마스크를 마스크처럼 이용하여 동일한 광원에서 보다 미세한 선폭을 갖는 반도체 소자를 구현하여, 공정의 확장성, 범용성 확대 및 라인의 생산성 극대화를 위한 것이다.

**【대표도】**

도 2

**【색인어】**

하드 마스크, KrF, ArF, 게이트 전극, 플라즈마 식각

**【명세서】****【발명의 명칭】**

미세선폭을 갖는 반도체 소자의 제조 방법{Submicron semiconductor device and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1은 반도체 기판위에 옥사이드, 폴리, 하드 마스크, 포토레지스트를 증착하여 패터닝한 반도체 소자 단면도.

도 2는 상기에서 구현된 패턴을 등방성 식각공정을 수행한 공정 단면도.

도 3은 포토레지스트를 제거한 후의 공정단면도.

도 4는 하드 마스크에 구현된 패턴을 이용해 폴리층을 식각한 후의 공정 단면도.

도 5는 구현된 소자위에 질화막을 증착하고 격벽을 형성한 공정 단면도.

도 6은 하드 마스크를 제거한 후의 공정 단면도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 하드 마스크를 사용한 반도체 소자 제조방법에 관한 것으로, 보다 자세하게는 하드 마스크를 사용하여 동일 파장의 광원에서 미세선폭을 갖는 반도체 소자의 제조방법에 관한 것이다.

<8> 반도체 소자의 진전을 지지해 온 미세 가공 기술은 광 전사법(photo lithography) 기술이다. 즉, 이 기술의 해상력 향상이 반도체 소자의 고집적화의 장래를 맞고 있다고 해도 과언은 아니다.

<9> 일반적으로, 전사법(lithography)이라 함은 패턴을 하는 공정으로서 광공정과 새김 공정으로 나눌 수 있다. 그러나 근래에 와서 전사법의 의미는 일반적으로 광공정만을 칭하고 있고 다시 세부적으로 광원에 따른 광학과 비광학 전사법으로 구분되고 있다. 반도체 공정에서의 전사법은 기판 상의 다양한 물질에 회로 기판을 형성시키는 것을 목적으로 기질 위에 레지스터라는 고분자 물질을 도포한 후 P기판의 원판 역할을 하는 가리개, 즉 마스크(Mask)를 이용하여 빛을 투과시켜 레지스터에 광반응을 일으킨 후 현상하여 레지스터 패턴을 형성시키고, 이 레지스터를 장벽으로 하여 기질을 새겨 최종적으로 원하는 패턴을 구현하는 기술이다.

<10> 반도체 칩의 집적도는 3년 주기로 4배씩 증가하여 왔다.

<11> 광전사법은 높은 구경수(Numerical Aperture) 렌즈와 하드웨어, 즉 구경, 마춤 등과 같은 노광장비 자체의 발전은 물론이고 CAR(Chemically Amplified Resist) 타입 레지스터와 같은 재료의 개발 그리고 공정 측면에서의 TLR(Tri Layer Resist), BLR(Bi-Layer Resist), TSI(Top Surface Imaging), ARC(Anti Reflective Coating), 마스크 면에선 PSM(Phase Shift Mask)과 OPC(Optical Proximity Correction) 등의 많은 기술개발들이 이루어져 왔다.

<12> 초기의 노광장비는 접촉프린터로서 기판 위에 바로 마스크를 대고 눈으로 맞

춘 후 노광하는 방식이였다. 이 기술이 조금 더 발전하여 마스크와 기판간의 갭을 줄여 해상력을 높였는데 갭의 차이에 따라 연접촉(Soft contact)과 경접촉(Hard contact)(10  $\mu\text{m}$  이하) 등의 근접 프린터로 노광하게 된다.

<13> 그 후, 1970년대 초반에는 반사나 굴절을 이용한 광학계를 적용한 투영 타입의 노광장비의 개발로 해상력은 물론이고 마스크의 수명연장과 기판의 크기 대구경화의 제품 개발에의 적용이 본격적으로 시작될 수 있었다. 그 후 1970년대 중반에는 반도체 대량생산에 획기적인 기여를 하면서 광전사법의 기술개발에 전기를 마련한 투영 광학을 이용한 스템퍼의 시대가 시작되었다.

<14> 스템퍼란 '단계와 반복'의 줄임말로 이 방식의 노광장비를 사용하면 해상력은 물론이고 맞춤 정확도의 향상이 이루어졌다. 초기 스템퍼는 마스크 패턴 대비 기판 상에서의 패턴비율이 5:1 또는 10:1의 축소 투영 노광방식으로 설계되었으나 마스크 패턴과 크기의 한계로 인하여 5:1 축소투영방식이 주류를 이루게 되었다.

<15> 다시 1990년대 초반부터 개발된 '단계와 주사' 형태의 스캐너는 4:1 축소방식으로 가리개 패턴의 부담을 주기는 했지만 점점 커지는 칩 크기에 대응하고 생산성을 높일 수 있도록 한 노광장비이다. 해상력은 광원의 파장과 밀접한 관계를 갖는데 초기의 g-선( $\lambda = 436\text{nm}$ )을 이용한 노광장비로는 약  $0.5\mu\text{m}$  수준의 패턴이 가능하였고 i-선( $\lambda = 365\text{nm}$ )을 이용하면 약  $0.3\mu\text{m}$  수준의 패턴이 가능하였다.

<16> 최근에는 KrF 레이저( $\lambda = 248\text{nm}$ )를 광원으로 하는 노광장비의 개발과 레지스터의 발전 그리고 기타 부대기술의 향상으로 인하여 150nm 이하의 패턴도 가능하게 되었다.

<17> 현재는 ArF 레이저( $\lambda=193\text{nm}$ )로 하는 장비를 사용하여 110nm 이하의 패턴을 목표로 개발하고 있다. DUV 전사법은 i-선 대비 해상도 및 DOF 등의 성능면에서 우수하지만, 공정제어가 쉽지 않다. 이러한 문제는 짧은 파장에서 기인된 광학적인 원인과 화학증폭형 레지스트의 사용에 의한 화학적인 원인으로 구분할 수 있다. 파장이 짧아지면 정지파 효과에 의한 CD 흔들림 현상과 기질 위상에 의한 반사광의 새김현상이 심해진다.

<18> 기존장비를 이용하여 구현할 수 없는 미세선폭을 갖는 반도체 소자를 구현함에 있어서, 포토 공정의 한계를 해결할 수 있는 가장 쉬운 방법은 결국 에치 공정을 이용한 bias(에치 시 포토 레지스트 패턴의 임계 치수(DI CD) 값과 에치 후의 임계 치수(FI CD) 값 사이의 차이)조절이라 할 수 있으나, 이러한 방법에 의해서도 점차 줄어드는 선폭의 마진을 극복하는데는 많은 어려움이 있다.

<19> 따라서 본 발명에서는 하드마스크를 이용하여 이러한 문제를 해결하고, 종래에는 동일한 파장의 광원에서 구현할 수 없는 미세선폭을 실현한 반도체 소자 제조방법을 구현함에 있다.

<20> 본 발명은 여러가지 방법으로 실현할 수 있으나, 일실시예로 본 발명에 대해 보다 자세하게 설명하고자 한다.

<21> 예를 들면 기존의 KrF 장비를 이용하여 90nm의 선폭을 갖는 게이트 소자를 구현함에 있어서, 패터닝 할 수 있는 포토공정의 한계 선폭은 125nm 정도이므로 에치 공정을 통하여 35nm 를 줄여줘야 하는 문제가 발생한다.

<22> 이는 DUV 포토 레지스트 높이(PR height)를 고려할 시 거의 불가능한 수치로써 특단의 조치(ArF 스캐너 사용) 등이 이루어져야 한다. 즉, KrF 공정에 있어 125nm의 포토

레지스트 패터닝을 함에도 DOF(depth of focus) 마진 등을 고려하여 포토 레지스트 높이는 3000Å 이하일 수 밖에 없다.

<23> 결국 게이트 CD(channel length)를 90nm로 얻기 위해서는 35nm를 에치 공정에서 줄여 줘야 한다. 이는 산술적으로 계산하더라도 포토 레지스트를 사용하여 양 측면을 17.5nm 씩 깎아 줘야 하는데 결국 포토 레지스트와의 선택비 문제가 발생하여 균일한 게이트 소자를 얻을 수 없다.

<24> 이러한 현상을 해결하기 위하여 피식각층 상부에 하드마스크(hard mask)를 형성하고 그 상부에 PR패턴을 형성하되, 종래보다 얇게 형성하여 이를 이용한 식각공정으로 상기 PR패턴과 가능한 똑같은 크기의 하드마스크 패턴을 형성한다.

<25> 그리고, 후속공정으로 상기 하드마스크 패턴을 마스크로 하여 피식각층을 식각함으로써 예정된 크기의 피식각층 패턴을 형성할 수 있도록 한다.

<26> 하드 마스크 공정은 기존의 DRAM 제조기술에 있어서 널리 사용하는 기술이라 할 수 있으나 샐리사이드(self aligned silicide : salicide) 공정을 채택하는 로직 제품에 있어서는 게이트 소자 위에 샐리사이드 공정을 위해 하드 마스크를 사용할 수 없다.

### 【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 로직 제품에 하드 마스크 공정을 적용하여 기존의 광원에서 구현할 수 없는 미세선폭을 구현함에 본 발명의 목적이 있다.

### 【발명의 구성 및 작용】

<28> 본 발명의 상기 목적은 기판(10)위에 옥사이드(11), 폴리(12), 하드마스크(13) 및 포토레지스트(15)를 증착하여 패터닝하고 상기 하드 마스크(13)에 구현된 패턴을 이용하여 폴리(12)를 식각하는 것을 특징으로 하는 반도체 소자의 제조 방법으로 원하는 미세 선폭을 갖는 반도체 소자를 구현함을 특징으로 한다.

<29> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

<30> 도 1 내지 도 6은 본 발명에 따른 반도체 소자의 제조 공정도이다.

<31> 도 1은 포토 레지스트 마스크를 사용하여 패터닝한 단면도이다.

<32> 먼저 반도체 기판(10)상에 옥사이드(11), 폴리(12), 하드 마스크(13) 및 포토 레지스트(15)를 증착하고, 마스크를 이용하여 상기 포토 레지스트(15)를 패터닝하여 도 1과 같이 형성한다.

<33> 상기 포토 레지스트(15)를 패터닝할때 KrF광원을 이용하여 패턴의 폭이 120nm(A)가 되도록 패터닝한다.

<34> 상기 하드 마스크(13)는 PE-oxide를 사용한다.

<35> 상기 하드 마스크 상에 반사율을 낮추기 위해서 반사방지 코팅층(Anti-reflection coating: ARC)(14)을 더 증착할 수 있다. 상기 반사방지층은 유기 또는 무기 아크로 이루어진다.

<36> 도 2는 플라즈마 식각을 이용하여 하드 마스크를 식각한 공정도이다.

<37>      플라즈마를 이용하여 상기 포토 레지스트 패턴(15)을 식각 마스크로 사용하여 상기 반사방지 코팅층(14) 및 하드 마스크(13)를 식각한다.

<38>      상기 플라즈마 식각은  $SF_6$  gas를 사용하며, 등방성 식각으로 반사방지 코팅층(14) 및 하드 마스크(13)를 순차적으로 식각한다.

<39>      도 3은 애싱/스트립 공정으로 포토 레지스트 및 반사방지 코팅층을 제거한 공정도이다.

<40>      플라즈마 식각후 애싱(ashing)/스트립(strip)공정을 진행하여 상기 포토 레지스트 및 반사방지 코팅층을 제거한다.

<41>      도 4는 게이트 전극을 형성하기 위하여 플라즈마 식각을 이용하여 게이트 폴리를 식각한 공정도이다.

<42>      게이트 전극을 형성하기 위하여 애싱/스트립 공정 진행 후 얻어지는 하드 마스크 막질을 식각 마스크로 이용하여 플라즈마 식각을 통하여 폴리(12)를 식각한다.

<43>      상기 플라즈마 식각은  $Cl_2/HBr$ ,  $Cl_2/O_2$  또는  $HBr/O_2$ 의 식각가스를 사용하여 oxide 와의 선택비가 10:1이 되도록 한다.

<44>      상기와 같은 공정으로 얻어진 게이트 전극의 폭은 80nm이다.

<45>      도 5는 플라즈마 식각으로 게이트 전극이 형성된 기판에 산화막(16) 및 질화막을 차례로 증착한 후에 에치백(etch back)공정으로 질화막을 식각하여 격벽(17)을 형성한 공정도이다.

<46>      상기 질화막은  $SiN$ 이다.

<47>      도 6은 하드 마스크(13)를 제거한 공정도이다.

<48> 격벽(17)을 형성한 후 상기 하드 마스크(13) 및 산화막(16)을 습식 식각으로 제거 한다.

<49> 상기 공정은 로직 제품의 게이트 전극을 구현하는데 있어서 포토 레지스트 마스크 대신에 하드 마스크를 사용하여, 기존의 KrF광원을 이용하여 90nm의 선폭을 가지는 게이트 전극을 형성할 수 있다.

<50> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

### 【발명의 효과】

<51> 따라서, 본 발명의 하드 마스크를 이용한 반도체 소자의 제조 방법은 게이트 전극을 구현하는데 있어서 포토 레지스트 마스크 대신에 하드 마스크를 사용하여 추가적인 투자없이 기존의 장비를 이용하여 구현할 수 있는 선폭을 갖는 제품을 구현하고, 제품별로 요구하는 선폭을 식각 공정을 이용하여 조절할 수 있어 공정의 확장성, 범용성 확대 및 라인의 생산성 극대화에도 크나큰 장점이 있다.

**【특허청구범위】****【청구항 1】**

기판(10)위에 옥사이드(11)를 형성하는 제 1공정;

상기 옥사이드(11)위에 폴리(12)를 형성하는 제 2공정;

상기 폴리(12)위에 하드마스크(13)를 형성하는 제 3공정;

상기 하드 마스크(13)위에 포토레지스트(15)를 증착하여 패터닝하는 제 4공정; 및

상기 하드 마스크(13)에 구현된 패턴을 이용하여 폴리(12)를 식각하는 제 5공정  
을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1항에 있어서,

상기 하드 마스크위에 반사율을 낮추기 위해서 반사방지층을 증착하는 공정을 더  
포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

제 2항에 있어서,

상기 반사방지층은 유기 또는 무기 아크로 이루어진 것을 특징으로 하는 반도체 소  
자의 제조 방법.

## 【청구항 4】

제 1항에 있어서,

상기 제 4공정에서 포토레지스트의 패터닝은 KrF광원을 사용하여 패터닝하는 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 5】

제 1항에 있어서,

상기 하드 마스크는 PE-oxide인 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 6】

제 1항에 있어서,

상기 제 5공정의 하드 마스크(13)에 구현된 패턴은,

패터닝된 포토레지스트을 식각 마스크로 사용하여 하드 마스크를 식각하여 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 7】

제 6항에 있어서,

상기 하드 마스크(13)의 식각은 등방성 식각인 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 8】

제 7항에 있어서,

상기 등방성 식각은 플라즈마 식각인 것을 특징으로 하는 반도체 소자의 제조 방법

## 【청구항 9】

제 8항에 있어서,

상기 플라즈마 식각은  $SF_6$  가스를 사용하여 식각하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 10】

제 1항에 있어서,

상기 제 5공정에서 폴리의 식각은 플라즈마 식각인 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 11】

제 10항에 있어서,

상기 플라즈마 식각은  $Cl_2/HBr$ ,  $Cl_2/O_2$  또는  $HBr/O_2$ 의 식각가스를 사용하여 oxide 와의 선택비가 10:1이 되도록 하는 것을 특징으로 하는 반도체 소자의 제조 방법.

020030022107

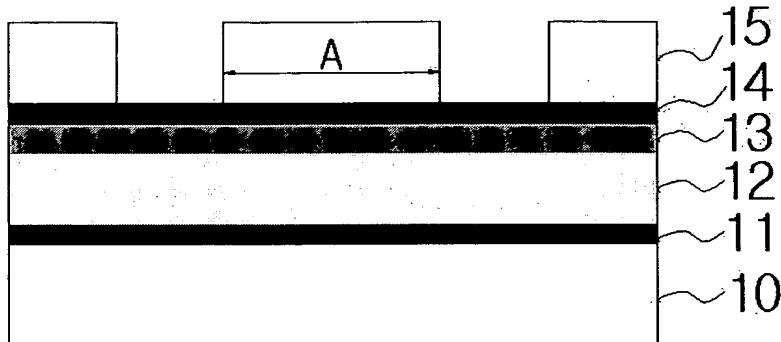
출력 일자: 2003/7/28

【청구항 12】

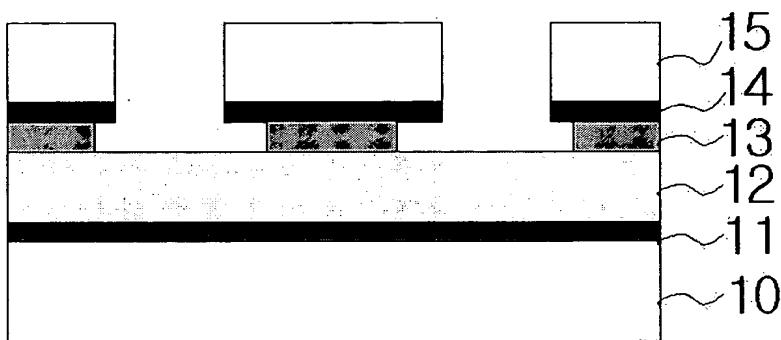
제 1항의 방법으로 형성된 게이트 전극을 포함하여 제조된 반도체 소자.

## 【도면】

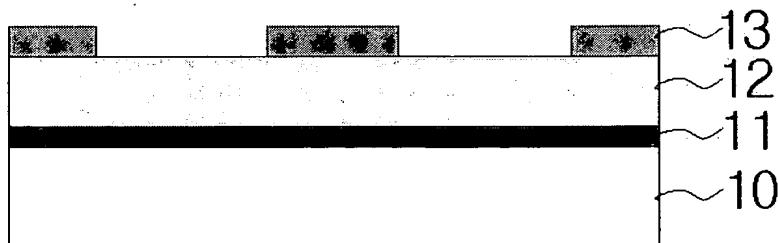
【도 1】



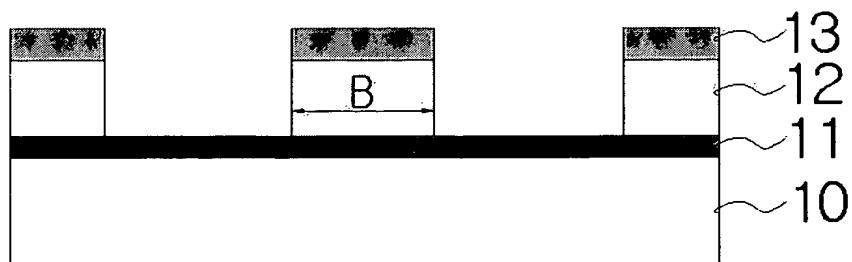
【도 2】



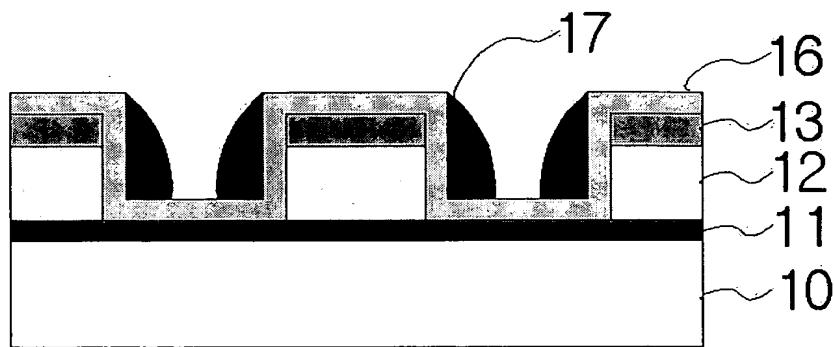
【도 3】



【도 4】



【도 5】



【도 6】

